

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-073669
 (43)Date of publication of application : 17.03.1989

(51)Int.Cl.

H01L 29/72
 H01L 27/06

(21)Application number : 62-230258

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.09.1987

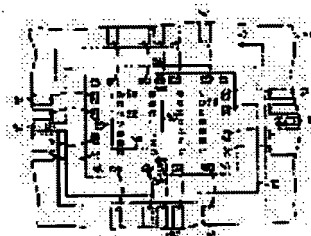
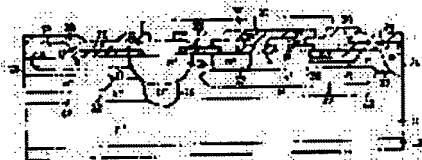
(72)Inventor : KOMON MASAYUKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent a chip size from becoming large by a method wherein a power supply is fed to a circuit-element formation layer from a conductive layer through a substrate of a first conductivity type and a region of the first conductivity type.

CONSTITUTION: A metallized layer 53 is formed nearly on a whole face of a stage 52 of a package 51, and is connected to package leads 54 of a power supply VEE. The power supply VEE is supplied to a semiconductor chip 50 via the package leads 54 and the metallized layer 53, and is supplied to an ECL circuit and the like via first-layer wiring parts 31 and a second-layer wiring part 32 from a p+ type substrate 41, a p+ type layer 44 and an n+ type isolation layers 24. During this process, because wiring parts 58 of a small area for power supply use are dispersed, wiring parts can be installed between them and can be used as signal wiring parts; a degree of freedom of the signal wiring parts is enhanced sharply. Because the potential VEE can be supplied from the rear of the chip, the wiring parts required to distribute the VEE can be made very short.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 昭64-73669

⑬ Int.Cl.⁴ H 01 L 29/72 27/06 ⑭ 特許庁登録番号 8528-5F B-7373-5F ⑮ 公開 昭和64年(1989)3月17日
審査請求 未請求 発明の数 1 (全6頁)

⑯ 発明の名称 半導体集積回路

⑰ 特 願 昭62-230258

⑱ 出 願 昭62(1987)9月14日

⑲ 発 明 者 小 門 正 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
㉑ 代 理 人 弁理士 伊東 忠彦 外1名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

第1の不純物濃度とされた第1導電型領域

(41)と、

該領域(41)の表面側に形成された該第1の不純物濃度より低い第2の不純物濃度とされた第1導電型層(43)と、

該第1導電型層(43)上に形成された前記第1導電型と反対の第2導電型の間隙素子形成層(23)と、

該間隙素子形成層(23)の表面から少なくとも前記第1導電型層(43)に達する第1導電型領域(24、44)と、

該第1導電型領域(41)の表面に設けられた導電層(42)とを有し、

該導電層(42)から第1導電型領域(41)

及び第1導電型領域(24、44)を通して該間隙素子形成層(23)に形成された間隙素子に電荷を供給することを特徴とする半導体集積回路。

3. 発明の詳細な説明

(図面)

特にバイポーラの半導体集積回路に関し、

電圧の初昇降下が小さく、チップサイズの大小型化を防止することを目的とし、

第1の不純物濃度とされた第1導電型領域と、該領域の表面側に形成された該第1の不純物濃度より低い第2の不純物濃度とされた第1導電型層と、該第1導電型層上に形成された前記第1導電型と反対の第2導電型の間隙素子形成層と、該間隙素子形成層の表面から少なくとも前記第1導電型層に達する第1導電型領域と、該第1導電型領域の表面に設けられた導電層とを有し、該導電層から第1導電型領域及び第1導電型領域を通して該間隙素子形成層形成された間隙素子に電荷を供

特開昭64-73669(2)

拍するよう構成する。

(産業上の利用分野)

本発明は半導体集積回路に関し、特にバイポーラの半導体集積回路に関する。

リソグラフィ技術等の進歩により、半導体集積回路の集積度は飛躍的に向上している。このため、集積回路内の信号配線量が増加し、また集積回路の消費電力の増加に伴って発熱配線密度が増加している。特にバイポーラ集積回路では消費電流を低減するために各回路の消費電流をある程度以下に減らすことができない。

また、配線の多量化も現状では3層配線しか実現できないので、信号配線の増加や、電源配線を太くする要求のためにチップサイズが大型化せざるを得ず、大型化の防止が図られている。

(従来の技術)

従来の集積回路は第3図(A)、(B)に示す如く、バックラッシュ10のステージ11内に半導体

チップ12が収められている。半導体チップ12上には信号入出力用の端子13及び電源 V_{cc} 、 V_{ee} 供給用の端子14が設けられ、これらはバックラッシュ15にワイヤボンディングされている。

半導体チップ12には電源 V_{cc} 夫々のストライプ状の電源配線16が設けられ、図示を省略した電源 V_{cc} のストライプ状の電源配線と互いに噛み合い状態に設けられている。この電源 V_{cc} 、 V_{ee} 夫々の電源配線の間に例えばエミッタ・カップルド・ロジック(ECL)回路が形成されている。

半導体チップ12は第4図に示す如く、メタライズ層20を有する D^+ 型基板21上に形成されている。22は n^+ 型埋込層、23は n 型エピタキシャル層、24は p^+ 型アイソレーション層、25はベースとなる p 型基板層、26はエミッタとなる n^+ 型基板層、27はコレクタとなる n^+ 型基板層、28は抵抗となる p 型基板層である。また、斜線を付けた29、30夫々は絶縁膜、

- 3 -

31は第1層配線、32は第2層配線である。

第4図において、例えば第2層配線32が第3図に示す電源 V_{ee} の電源配線16に対応している。

(発明が解決しようとする問題点)

例えば1ゲート当りの消費電流1mAで1000ゲートの集積回路を考えると、全体で1Aの電流が流れ、電源配線が電圧降下 $2 \times 10^{-3} \text{ A/cm}$ で1 μm 厚のアルミ配線であるとする、0.5 μm 幅が必要となる。またストライプ状の電源配線では大電流が流れるために生じる電圧降下が大となり、回路の動作マージンが低下するという問題点があった。

また、基板21はコレクタ・埋込層両方(主に n^+ 型埋込層22と基板21面が生じる)を低くする必要から、低抵抗物組成で5~30 Ωcm の高抵抗とされ、通孔厚21の厚みが500 μm であるので、電圧降下を考えると基板21の背面から電源を供給することは不可能である。従って、第

- 4 -

1層配線31及び第2層配線32を用いて電源を供給しており、電源配線が長く電圧降下が大となり、また信号配線は上記電源配線を通じて設けなければならないため、信号配線の自由度が低くなる。更に半導体チップ12上に設ける電源用の端子数が増加し、チップサイズが大型化するという問題点があった。

本発明は上記の点に鑑みてなされたものであり、電源の電圧降下が小さく、チップサイズの大形化である半導体集積回路を提供することを目的とする。

(問題点を解決するための手段)

本発明の半導体集積回路は、

第1の不純物濃度とされた第1導電型基板

(41)と、

基板(41)の表面側に形成された第1の不純物濃度より低い第2の不純物濃度とされた第1導電層(43)と、

第1導電層(43)上に形成された前記第1

- 5 -

-384-

- 6 -

特開昭64-73669(3)

増電型と図4の第2増電型の回路素子形成用
(23)と、

四角格子形成層(23)の表面から少なくとも
約10¹⁰個の増殖型(43)に達する第1増殖型個
体(24, 44)と、

第1海防型は図(41)の要請に換けられた電図(42)とを有する。

(金 馬)

本發明においては、滑油路(42)から第1油
室型板(41)及び第1油室型板(24、
44)を通して図部(23)に油を
供給する。

このため、電解装置が小型化され電圧の電圧降下が小さくなり、また半導体チップ表面の電極面積が減少し、何号配線の歩留率が向上し、かつチップサイズの大形化が図られる。

(实施例)

第 1 図は本発明の半導体集成回路の半導体チップ

アの一定係数の断面積を求す。

D-型第441上には高い収縮率(1~30%)を有するD-型エポキシサル酸(第1のD型酸)43が形成される。このD-型エポキシサル酸43内には選択的に低収縮率のD-型第44が形成される。

要に第4図と同様にn⁺型層は第22、n型エピタキシャル層23、p⁺型アイソレーション層24、ベースとなるp型拡散層25、エミッタとなるn⁺型拡散層26、コレクタとなるn⁺型拡散層27、抵抗となるp型拡散層28、絶縁層29、30、第1層配線31、第2層配線32夫々が形成されている。

上記の誘成により、メタリス種42から低誘成率のp型基板板41及び第2のp型層であるp型電層44、p型アイソレーション層24を

介して第1螺旋線31及び第2螺旋線32に至る
特殊路が形成される。そして螺旋線32は格板係動
に形成したトンジスタや抵抗素子に接続される。

第1部に示す簡便の本体がリップ50は第2部(A)、(B)に示す如く、バックウージ51のステージ52内に収納される。

バックジョブ1のステップ2の割合はメ
ライズ53が掛けられ、このメライズ53
は電源V_{cc}のバックジョブ4に接続され
ている。

半導体チップ50はそのメタライズ層42をパッケージ51のメタライズ層53に接触させて接続されており、半導体チップ50上には信号入出力用の端子55及び電源Vcc供給用の端子56が設けられ、これらはバックリード57にワイヤボンディング等の接合手段により接続されている。

これによって半導体チップ50にはパッケージリード54、メタライズ層53を介して絶縁層52が供給され、半導体チップ50内のP・N

第41、D' 側第44、D' 型アイソレーション図24より第1図配線31、第2図配線32を経てEGL1回路等に供給される。第2図(人)においては、半導体チップ50上で側面V_{BE}に供給するための配線58を示している。

この場合、電源Vee用の配線58は夫々小面積で分散しているため、これらの隅で天印59で示す鉤を配線を掛け、これを接地配線とすることができ、低周配線の指向度が大幅に拡大する。電位Vtは、両端が必要とするチップ上の位置において、チップ背面から引出され得るので、Veeの分配に必要な距離は、非常に短く出来る。また、接地配線が両端配線と交差することが減るので、低周配線が短縮し、両端動作が高速化する。

ところ、半導体チップ50における、メタライズ層42から低抵抗中のP⁺型基板41、P⁺型層44、P⁺型アイソレーション層24を介して第1導電線31及び第2導電線32に至る導電層の低抵抗、断面積形状とP型不純物濃度を定める

特開昭64-73569(4)

ことで必要を前とすることができる。

例えば、若電路の断面積 (s) を 100μ で取
る (l) を 5mm 、抵抗率 (ρ) を $0.01\ \Omega\text{cm}$ と
すれば、 $R = \rho (l/s)$ から抵抗値 (R) は $5\ \Omega$
となり 1mA の電流による電圧降下は 5mV であ
る。また、基板 41 を 5mm 角で厚さ (t) 0.8mm
で抵抗率 $0.01\ \Omega\text{cm}$ とし全体で 1A の電流 (I)
が流れるとすると、その電圧降下は $V = R I =$
 $\rho (l/s) I$ からおおよそ $20\ \Omega\text{V}$ であり、合計
の電圧降下は 25mV と従来の比して大幅に減少
する。

また、半導体チップ50をステージ52にダイボンディングすることにより電極V_{cc}に関するパッケージ51と半導体チップ50との接続がなされ、ワイヤボンディングなしに電圧V_{cc}を規定に供給される。

更に電圧 V_{ee} についての負電位線（第1巻線線31、第2巻線線32）が知かくて異相のでエレクトロマイグレーションの心配がなく、真空中においても安定に電圧 V_{ee} を供給できる。

また、遊脚距離が減少することでチップサイズの大型化を防止でき、かつ遊脚回数を減らすことができてコストが向上する。

さらに試板の下部全体が腐蝕度のD・新紙41であるため、CZ法で作られたシリコン誘電体に含まれる酸素や炭素の不純物ドーピングによるP型誘電体のN型化を防止できる。また、N型エピタキシャル層23に接する誘電体面は腐蝕度のP型層43であるため、それらの間のPN接合面を小さくすることができる。

なお、第1図において、 θ ・アイソレーション路24により電子形成部の関中前方のアイソレーションを行なっているが、例えば面北波分離又は波分離(トレンチアイソレーション)を用いても良い。この場合にはそれぞれのアイソレーション構造とは別に表面まで達する θ ・空間44を形成して第1図配線31と接続される。

上記式座標で V_{in} , V_{cc} とは、ECL 回路の場合例であり、 V_{cc} は GND, V_{ee} は $-5.2V$ である。また I/O 制御において半透明

- 11 -

を使用する場合は、チップの背面から供給される電源はGNDで、表面から供給される電源は $V_{cc} = 5.0V$ である、つまり、最も低い電圧が基盤側面から供給されるのである。

さらに前記支線側では道板がP型であるが、H型道板の場合は、基板背面から供給される電線は図11の方の電線となる。

(見聞の勲業)

上述の如く、本発明の半導体集積回路によれば、電源配線が簡略化されて電源の電圧降下が小さく、かつノイズマージンが向上し、信号配線の引出線が増して回路動作が高速化し、またチップサイズの大小型化を防止でき、実用上きわめて有利である。

4. 図面の簡単な説明

第1圖は本発明の半導体集積回路の半導体チップの一実施例の断面図、

第2回は本邦明図画の一斑を例の平均値、断面

- 12 -

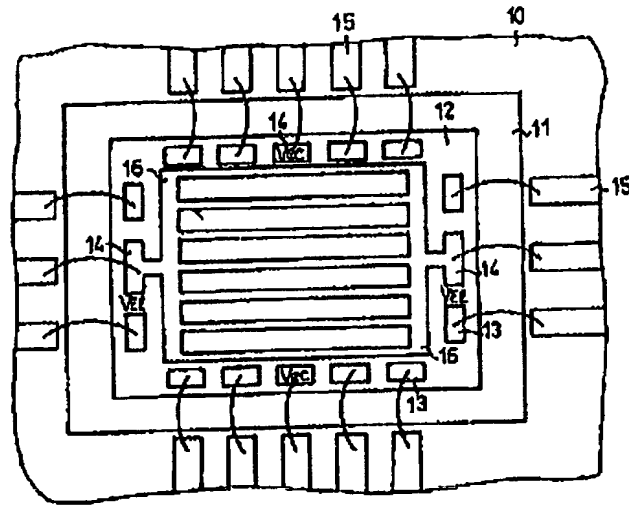
第3図は従来回路の一例の平面図、断面図、
第4図は従来回路の半導体チップの一例の断面
図である。

図において、

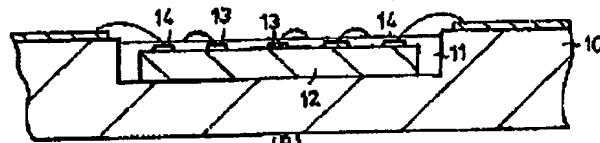
- 22 は n^+ 型基材料、
 - 23 は n 型エピタキシャル膜、
 - 24 は p^- 型アイソレーション膜、
 - 25、26 は p 型基材料、
 - 26、27 は n^+ 型基材料、
 - 29、30 は絶縁膜、
 - 31 は第1層配線、
 - 32 は第2層配線、
 - 41 は D^+ 型基板、
 - 42 はメタライズ層、
 - 43 は p^- 型エピタキシャル膜、
 - 50 は半導体チップ、
 - 51 はパッケージ、
 - 53 はメタライズ層
- を示す。

- 13 -

特開第64-73669(6)



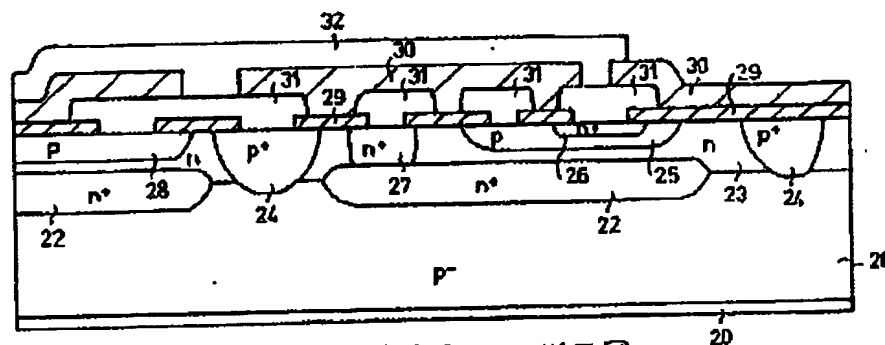
(A)



(B)

従来回路の平面図, 断面図

第3図



従来回路の半導体チップの断面図

第4図